

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-121682

(43) 公開日 平成11年(1999) 4月30日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

H 0 1 L 23/50

H 0 1 L 23/50

Y

G 0 2 F 1/1345

G 0 2 F 1/1345

G 0 9 F 9/00

3 4 8

G 0 9 F 9/00

3 4 8 P

H 0 1 L 21/60

3 1 1

H 0 1 L 21/60

3 1 1 W

23/14

23/14

R

審査請求 未請求 請求項の数9 O L (全 16 頁)

(21) 出願番号

特願平9-282323

(71) 出願人 000005049

シャープ株式会社

(22) 出願日

平成9年(1997)10月15日

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 豊沢 健司

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

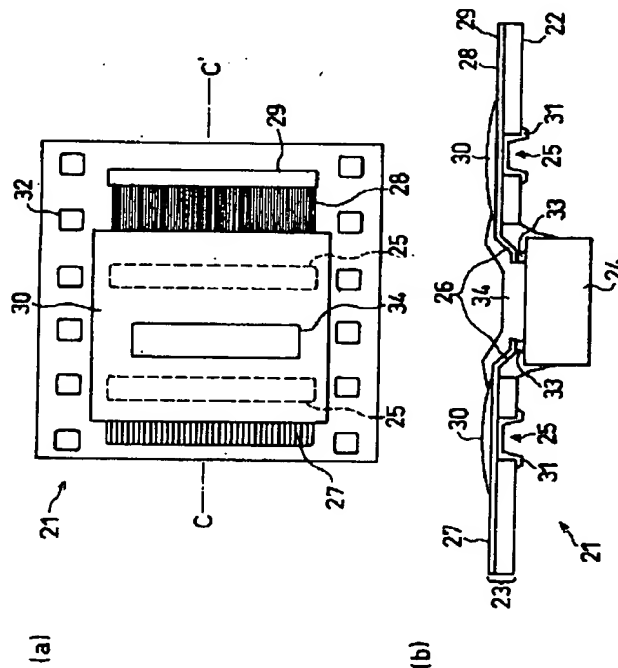
(74) 代理人 弁理士 原 謙三

(54) 【発明の名称】 テープキャリアパッケージ半導体装置及びそれを用いた液晶パネル表示装置

(57) 【要約】

【課題】 銅配線パターンが断線しにくく製造歩留りの高いフレックスTCP半導体装置を提供する。

【解決手段】 ポリイミド基材22にスリット25・25を設け、ポリイミド基材22の表面にインナーリード26…、入力側アウターリード27…、出力側アウターリード28…等からなる銅配線パターンを形成する。スリット25・25の下面側には、ソルダレジスト31・31を、銅配線パターン上にはソルダレジスト30をそれぞれ形成する。ここで、ソルダレジスト31・31とソルダレジスト30とは、ヤング率が5kgf/mm<sup>2</sup>～70kgf/mm<sup>2</sup>の範囲にあり、フィラー量が10wt%～40wt%の範囲にある同一のソルダレジストを形成する。これにより、銅配線パターンが断線しにくく、製造歩留りの高いフレックスTCP半導体装置とすることができる。



## 【特許請求の範囲】

【請求項1】絶縁テープに設けられた金属配線パターンと上記金属配線パターンと共に上記絶縁テープが湾曲可能となるように上記絶縁テープに設けられたスルーホールを表裏両側とを絶縁被覆する絶縁保護膜を有するテープキャリアと、上記テープキャリアに半導体素子が実装されてなるテープキャリアパッケージ半導体装置において、

上記スルーホールの表裏両側を絶縁被覆するそれぞれの上記絶縁保護膜は、ヤング率が $5\text{ kgf/mm}^2 \sim 70\text{ kgf/mm}^2$ の範囲にあるソルダレジストであることを特徴とするテープキャリアパッケージ半導体装置。

【請求項2】上記ソルダレジストは、上記スルーホールの表裏両側において同一の材料からなることを特徴とする請求項1に記載のテープキャリアパッケージ半導体装置。

【請求項3】上記ソルダレジストは、その粘度を決定するフィラーを $10\text{ wt}\% \sim 40\text{ wt}\%$ の範囲で含有することを特徴とする請求項1または2に記載のテープキャリアパッケージ半導体装置。

【請求項4】上記ソルダレジストは、ゴム系、ポリイミド系、ウレタン系、シリコン系、あるいはエポキシ系のいずれかの材料からなることを特徴とする請求項1ないし3のいずれかに記載のテープキャリアパッケージ半導体装置。

【請求項5】絶縁テープに設けられた金属配線パターンと上記金属配線パターンが湾曲可能となるように上記絶縁テープに設けられたスルーホールの表裏両側とを絶縁被覆する絶縁保護膜を有するテープキャリアと、液晶パネルを駆動するように上記テープキャリアに実装される駆動用半導体素子とを有するテープキャリアパッケージ半導体装置及び上記液晶パネルを備える液晶パネル表示装置において、

上記スルーホールの表裏両側を絶縁被覆するそれぞれの上記絶縁保護膜は、ヤング率が $5\text{ kgf/mm}^2 \sim 70\text{ kgf/mm}^2$ の範囲にあるソルダレジストであることを特徴とする液晶パネル表示装置。

【請求項6】上記ソルダレジストは、上記スルーホールの表裏両側において同一の材料からなることを特徴とする請求項5に記載の液晶パネル表示装置。

【請求項7】上記ソルダレジストは、その粘度を決定するフィラーを $10\text{ wt}\% \sim 40\text{ wt}\%$ の範囲で含有することを特徴とする請求項5または6に記載の液晶パネル表示装置。

【請求項8】上記ソルダレジストは、ゴム系、ポリイミド系、ウレタン系、シリコン系、あるいはエポキシ系のいずれかの材料からなることを特徴とする請求項5ないし7のいずれかに記載の液晶パネル表示装置。

【請求項9】上記液晶パネルが10インチ以上であることを特徴とする請求項5ないし8のいずれかに記載の液

晶パネル表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、適正な柔軟性を有するソルダレジストを使用したTCP半導体装置及びそのTCP半導体装置を用いた液晶パネル表示装置に関するものである。

## 【0002】

【従来の技術】柔軟な折り曲げ性を有するTCP (Tape Carrier Package) 半導体装置をフレックスTCP半導体装置と呼ぶ。フレックスTCP半導体装置は、特に額縁サイズの小さい液晶パネルにおいて、ドライバ半導体のパッケージとして使用されている。

【0003】液晶パネルは年々大型化される傾向にあり、現在はノートPC (Personal Computer) 用に13インチを越えるものも生産されている。従って、大型液晶パネル用のフレックスTCP半導体装置の開発が望まれている。

【0004】図6(a)に、2種類のソルダレジストを形成した2色フレックスTCP半導体装置101の平面構造、同図(b)にそのA-A'線断面図をそれぞれ示す。

【0005】2色フレックスTCP半導体装置101は、フィルム状のポリイミド基材102を用いて作製したテープキャリア103にドライバICチップ104を電気的に接合した構造である。

【0006】テープキャリア103は、スリット105・105と、インナーリード106…、入力側アウターリード107…、出力側アウターリード108…及びテストパッド109からなる銅配線パターンと、上記スリット105・105及び銅配線パターンを絶縁被覆するエポキシ系ソルダレジスト110…、ポリイミド系ソルダレジスト111・111、ポリイミド系ソルダレジスト112・112と、ポリイミド基材102の引出し・位置合わせに使用されるスプロケットホール113…とから構成される。

【0007】特に、銅配線パターン上には、ヤング率が $380 \pm 80\text{ kgf/mm}^2$ の硬いエポキシ系ソルダレジスト110…と、ヤング率が $50 \pm 20\text{ kgf/mm}^2$ の柔軟性を有するポリイミド系ソルダレジスト111・111との2種類のソルダレジストが設けられる。

【0008】エポキシ系ソルダレジスト110…は、ヤング率が高いことを利用してポリイミド系ソルダレジスト111・111のブリード (印刷後に溶剤成分を主体にソルダレジストが流れ出したもの) の発生を阻止する役割と、後述するテープキャリア103作製時のスズメッキ形成工程において、ポリイミド系ソルダレジスト111・111のエッジが剥がれることを防止する役割とを持つ。これにより、ポリイミド系ソルダレジスト111・111のパターニング精度を向上させる。

【0009】また、スリット105・105の下面（銅配線パターンが形成されている面の裏側）には、ヤング率が $50 \pm 20 \text{ kgf/mm}^2$ のポリイミド系ソルダレジスト112・112が形成されている。

【0010】一方、ドライバICチップ104は、Auバンプ114…を介してインナーリード106…に電気的に接続されており、その接続点の周辺は樹脂115によって封止されている。

【0011】次に、図7を用いて、上記の構造の2色フレックスTCP半導体装置101におけるテープキャリア103の作製プロセスを説明する。

【0012】まず、ポリイミド基材102（ユーピレックス；宇部興産の商標）の表面に接着剤を塗布し（工程1）、デバイスホール、スリット105・105、サブプロケットホール113…等を形成すべく上記ポリイミド基材102を金型で打ち抜く（工程2）。

【0013】次に、 $18 \mu\text{m}$ 、 $25 \mu\text{m}$ 、 $35 \mu\text{m}$ 厚の銅箔のうち、いずれかをポリイミド基材102にラミネートする（工程3）。スリット105・105には、まず、後に銅配線パターンが形成される面に対して反対側からポリイミド系ソルダレジスト112・112を形成する（工程4）。

【0014】そして、エッチングマスクとしてのフォトレジストを銅箔表面に塗布し（工程5）、露光によって目的のパターンを焼き付け（工程6）て現像する（工程7）。デバイスホールにもエッチングマスクとしてのフォトレジストを形成し（工程8）た後、銅箔エッチング液に浸漬して所望の銅配線パターンを形成する（工程9）。このようにして銅配線パターンを形成した後、全てのフォトレジストを有機溶剤あるいはドライエッチングによって剥離する（工程10）。

【0015】次に、ポリイミド基材102の銅配線パターンを形成した面上において、後で形成するポリイミド系ソルダレジスト111・111を両側から挟む位置に、 $25 \mu\text{m}$ 厚程度のエポキシ系ソルダレジスト110…を印刷して形成する（工程11）。その後、折り曲げ部であるスリット105・105を覆うように、 $25 \mu\text{m}$ 厚程度で工程4と同じポリイミド系ソルダレジスト111・111を印刷して形成する（工程12）。

【0016】次いで、露出している銅箔表面に、無電解メッキ法により $0.2 \mu\text{m}$ ～ $0.6 \mu\text{m}$ 厚程度のスズメッキを形成し、スズメッキ後はホイスカが発生しないようにキュア（熱処理）を施す（工程13）。ホイスカとは、応力等が加わることにより多くの金属で発生する針状結晶のことである。特に、スズメッキでは発生しやすい。ホイスカが成長すると端子間でショートを引き起こすことがあるため、スズメッキを熱処理してこれを抑制する。

【0017】最後に、以上の工程により作製されたテープキャリア103を出荷する（工程14）。

【0018】また、図8（a）に、1種類のソルダレジストのみを銅配線パターン上に形成する1色フレックスTCP半導体装置121の平面構造、同図（b）にB-B'線断面図をそれぞれ示す。このソルダレジストは、ヤング率が $200 \pm 50 \text{ kgf/mm}^2$ の硬いエポキシ系ソルダレジスト123・123である。この1色フレックスTCP半導体装置121は、2色フレックスTCP半導体装置101と比較してソルダレジストを形成する回数が少ないため、非常に安価に製造することができる。しかしその反面、上記のようにヤング率の大きいソルダレジストを使用しているため、2色フレックスTCP半導体装置101と比較して、実装時の折り曲げに対する柔軟性に劣る。

【0019】図9に、1色フレックスTCP121におけるテープキャリア122の作製プロセスを示す。2色フレックスTCP半導体装置101におけるテープキャリア103の作製プロセスと異なる点は、上述したように、銅配線パターン上にヤング率が $200 \pm 50 \text{ kgf/mm}^2$ の硬いエポキシ系ソルダレジスト123・123を1種類だけ形成することである。

【0020】次に、図10を用いて2色フレックスTCP半導体装置101…の液晶パネル201及びPWB（Printed Wiring Board）基板202への実装方法について説明する。一般に、2色フレックスTCP半導体装置のTFT液晶への実装に際しては、解像度にもよるが、例えば12.1インチサイズで1024ドット×768ドットの液晶パネルの場合、13個程度の2色フレックスTCP半導体装置をドライバとして、片側パネルの額縁のソース側に設ける。

【0021】まず、液晶パネル201に、異方性・導電性接着剤であるACF（Anisotropic Conductive Film）を仮圧着する。ACFは、1.2mmから3mm程度までの種類の幅があり、液晶パネル201の額縁のサイズに合わせて適宜選択される。従って、例えば、額縁の幅が狭ければ、ACFも幅の狭いものを選択する。ACFを仮圧着するには、ACFを液晶パネル201に貼り付けたまま、 $90^\circ\text{C}$ に加熱したツールを2秒程度押し当てる。このとき、ACFは熱によって反応して硬化するが、後に本圧着することができるようにするため、完全には硬化させない。

【0022】ACFの仮圧着が終了した時点で、ACFに付着させていたスペーサを剥がし、そこに2色フレックスTCP半導体装置101…の出力側アウターリード108…を仮圧着する。このとき、2色フレックスTCP半導体装置101…と液晶パネル201とを、それぞれに形成されたアライメントマークを用いて位置合わせする。2色フレックスTCP半導体装置101…は、この仮圧着前に、リール状につながった状態にあるため、金型で打ち抜いて個片にしておく。そして、仮圧着時には、 $100^\circ\text{C}$ に加熱したツールを $10 \text{ kgf/cm}^2$ の

荷重で3秒押し当てて、ACFを完全には硬化させない。

【0023】2色フレックスTCP半導体装置101…の仮圧着後に本圧着を行う。本圧着は、全ての2色フレックスTCP半導体装置101…に一括して、200℃に加熱したツールを35kgf/cm<sup>2</sup>の荷重で20秒押し当てて実施する。

【0024】液晶パネル201に2色フレックスTCP半導体装置101…を実装すると、今度は2色フレックスTCP半導体装置101…の入力側アウターリード107…をPWB基板202に接合する。PWB基板202への実装方法として、ハンダ付けによる方法とACFによる方法とがある。ACFによる実装方法では、PWB基板202をアライメントし、全ての2色フレックスTCP半導体装置101…を一括して実装する。このとき、PWB基板202と、液晶パネル201を構成するガラス基板との熱膨張係数の違いによって、2色フレックスTCP半導体装置101…に熱応力が集中する。

【0025】2色フレックスTCP半導体装置101…は、このような熱応力が加わった状態で、PWB基板202が液晶パネル201の裏側に配置されるべく折り曲げられる。

【0026】

【発明が解決しようとする課題】ところが、図6に示すような2種類のソルダレジストを使用する2色フレックスTCP半導体装置101では、使用するソルダレジストのヤング率が大きい。このため、2色フレックスTCP半導体装置101を17インチ以上の大型液晶パネルに実装した場合、液晶パネル201とPWB基板202との熱膨張係数の差によって起こる2色フレックスTCP半導体装置101…への応力が増大し、銅配線パターンにこの応力が集中して銅配線パターンが断線しやすくなる。

【0027】このとき、断線する箇所は、図11に示すように、液晶パネル201と2色フレックスTCP半導体装置101…とがACFによって接合する出力側アウターリード108…の付近である。この断線は、液晶パネル201が大型になる程顕著になり、液晶パネル表示装置を生産する上で大きな問題になる。

【0028】また、2色フレックスTCP半導体装置101では、硬いエポキシ系ソルダレジスト110…を使用するため、2色フレックスTCP半導体装置101自身が硬くなり、柔軟性を損なうことになる。その上、2色フレックスTCP半導体装置101上に硬いソルダレジストを形成すると、2色フレックスTCP半導体装置101に反りが発生するため、2色フレックスTCP半導体装置101をアセンブリ工程で順調に搬送することができなかった。この反りは、特に2色フレックスTCP半導体装置101の幅が48mm以上のときに発生しやすい。

【0029】さらに、2色フレックスTCP半導体装置101では、2種類のソルダレジストを形成するため、これらを印刷する工程で専用印刷機が2台必要となる上、ソルダレジストの管理が複雑になる。従って、テープキャリア103の製造コストが高くなるという問題があった。

【0030】ソルダレジストとしてポリイミド系ソルダレジストのみを形成すると、フレックスTCP半導体装置の反りと、テープキャリアの製造コストが高くなることを解決することができる。しかし、ポリイミド系ソルダレジストはチクソ性が低いため、図12に示すように、パターンエッジ141にブリード142が発生してしまう。チクソ性とは、攪拌によって粘度が低下し、放置すると粘度が増大する性質の尺度である。例えばソルダレジストのチクソ性が高いと、印刷時には粘度が低いためパターンニング精度が良く、印刷後には粘度が増大するためブリードが発生しにくくなる。

【0031】従って、チクソ性が低いとソルダレジスト143のパターンエッジ141が正確に印刷されず、テープキャリアの作製に支障を来す。さらには、テープキャリアのデバイスホール内のインナーリード144…へソルダレジスト143が流れ出し、ILB (Inner Lead Bonding) 工程でボンディングすることができないという不都合も生じる。

【0032】また、従来の2色フレックスTCP半導体装置101には、スリット105・105の裏側に形成するポリイミド系ソルダレジスト112・112のパターンエッジがスズメッキ工程で剥がれたり、剥がれたソルダレジストが塵埃となってテープキャリア103を汚染するという問題がある。

【0033】本発明は上記従来の問題点に鑑みなされたものであって、その目的は、銅配線パターンが断線しにくく製造歩留りの高いフレックスTCP半導体装置、及びそのフレックスTCP半導体装置を用いた大型液晶パネル表示装置を提供することにある。

【0034】

【課題を解決するための手段】請求項1に係る発明のテープキャリアパッケージ半導体装置は、上記課題を解決するために、絶縁テープに設けられた金属配線パターンと上記金属配線パターンと共に上記絶縁テープが湾曲可能となるように上記絶縁テープに設けられたスルーホールの表裏両側とを絶縁被覆する絶縁保護膜を有するテープキャリアと、上記テープキャリアに半導体素子が実装されてなるテープキャリアパッケージ半導体装置において、上記スルーホールの表裏両側を絶縁被覆するそれぞれの上記絶縁保護膜は、ヤング率が5kgf/mm<sup>2</sup>～70kgf/mm<sup>2</sup>の範囲にあるソルダレジストであることを特徴としている。

【0035】上記の発明では、スルーホールの表裏両側を絶縁被覆するそれぞれの絶縁保護膜として、ヤング率

が $5\text{ kg f/mm}^2 \sim 70\text{ kg f/mm}^2$ の範囲にある  
ソルダレジストが形成される。これにより、テープキャ  
リアパッケージ半導体装置の柔軟性が向上する。

【0036】従って、テープキャリアパッケージ半導体  
装置を大型の液晶パネルに実装する際、テープキャリア  
パッケージ半導体装置に大きな応力が加わっても金属配  
線パターンは断線しない。さらに、テープキャリアパッ  
ケージ半導体装置の反りを抑制し、テープキャリアパッ  
ケージ半導体装置の製造歩留りを向上させることができ  
る。

【0037】請求項2に係る発明のテープキャリアパッ  
ケージ半導体装置は、上記課題を解決するために、請求  
項1に記載のテープキャリアパッケージ半導体装置にお  
いて、上記ソルダレジストは、上記スルーホールを表裏  
両側において同一の材料からなることを特徴としてい  
る。

【0038】上記の発明によれば、スルーホールの表裏  
両側には同一の材料からなるソルダレジストが形成され  
る。使用されるソルダレジストが1種類だけであるた  
め、スルーホールの表裏両側にソルダレジストを形成す  
る際、専用の装置が1台で済むと共に、ソルダレジスト  
の管理が容易になる。

【0039】請求項3に係る発明のテープキャリアパッ  
ケージ半導体装置は、上記課題を解決するために、請求  
項1または2に記載のテープキャリアパッケージ半導体  
装置において、上記ソルダレジストは、その粘度を決定  
するフィラーを $10\text{ wt \%} \sim 40\text{ wt \%}$ の範囲で含有す  
ることを特徴としている。

【0040】上記の発明によれば、ソルダレジストは $10\text{ wt \%} \sim 40\text{ wt \%}$ の範囲でフィラーを含有する。こ  
のため、ソルダレジストを印刷するときにブリードの発  
生が阻止されてパターンニング精度が向上すると共に、テ  
ープキャリア作製時にソルダレジストの剥がれが起こら  
ずテープキャリア作製歩留りが向上する。

【0041】請求項4に係る発明のテープキャリアパッ  
ケージ半導体装置は、上記課題を解決するために、請求  
項1ないし3のいずれかに記載のテープキャリアパッ  
ケージ半導体装置において、上記ソルダレジストは、ゴム  
系、ポリイミド系、ウレタン系、シリコン系、あるい  
はエポキシ系のいずれかの材料からなることを特徴とし  
ている。

【0042】上記の発明によれば、ソルダレジストは、  
ゴム系、ポリイミド系、ウレタン系、シリコン系、ある  
いはエポキシ系のうちいずれかの材料からなる柔軟性  
の高い絶縁保護膜となる。

【0043】請求項5に係る発明の液晶パネル表示装置  
は、上記課題を解決するために、絶縁テープに設けられ  
た金属配線パターンと上記金属配線パターンが湾曲可能  
となるように上記絶縁テープに設けられたスルーホールの  
表裏両側とを絶縁被覆する絶縁保護膜を有するテープ

キャリアと、液晶パネルを駆動するように上記テープキ  
ャリアに実装される駆動用半導体素子とを有するテープ  
キャリアパッケージ半導体装置及び上記液晶パネルを備  
える液晶パネル表示装置において、上記スルーホールの  
表裏両側を絶縁被覆するそれぞれの上記絶縁保護膜は、  
ヤング率が $5\text{ kg f/mm}^2 \sim 70\text{ kg f/mm}^2$ の範  
囲にあるソルダレジストであることを特徴としている。

【0044】上記の発明によれば、スルーホールの表裏  
両側を被覆するそれぞれの上記絶縁保護膜は、ヤング率  
が $5\text{ kg f/mm}^2 \sim 70\text{ kg f/mm}^2$ の範囲にある  
ソルダレジストである。このため、液晶パネル表示装置  
は、柔軟性の高いテープキャリアパッケージ半導体装置  
を有するものとなる。

【0045】従って、テープキャリアパッケージ半導体  
装置を液晶パネルに実装しても金属配線パターンは断線  
しない。さらに、テープキャリアパッケージ半導体装置  
の反りを抑制し、液晶パネル表示装置の製造歩留りを向  
上させることができる。

【0046】請求項6に係る発明の液晶パネル表示装置  
は、上記課題を解決するために、請求項5に記載の液晶  
パネル表示装置において、上記ソルダレジストは、上記  
スルーホールの表裏両側において同一の材料からなるこ  
とを特徴としている。

【0047】上記の発明によれば、スルーホールの表裏  
両側には同一の材料からなるソルダレジストが形成され  
る。使用されるソルダレジストが1種類だけであるた  
め、スルーホールの表裏両側にソルダレジストを形成す  
る際、専用の装置が1台で済むと共に、ソルダレジスト  
の管理が容易になる。

【0048】従って、液晶パネル表示装置を低コストで  
製造することができる。

【0049】請求項7に係る発明の液晶パネル表示装置  
は、上記課題を解決するために、請求項5または6に記  
載の液晶パネル表示装置において、上記ソルダレジスト  
は、その粘度を決定するフィラーを $10\text{ wt \%} \sim 40\text{ wt$   
 $\text{ \%}$ の範囲で含有することを特徴としている。

【0050】上記の発明によれば、ソルダレジストは $10\text{ wt \%} \sim 40\text{ wt \%}$ の範囲でフィラーを含有する。こ  
のため、ソルダレジストを印刷するときにブリードの発  
生が阻止されてパターンニング精度が向上すると共に、テ  
ープキャリア作製時にソルダレジストの剥がれが起こら  
ず液晶パネル表示装置の製造歩留りが向上する。

【0051】請求項8に係る発明の液晶パネル表示装置  
は、上記課題を解決するために、請求項5ないし7のい  
ずれかに記載の液晶パネル表示装置において、上記ソル  
ダレジストは、ゴム系、ポリイミド系、ウレタン系、シ  
リコン系、あるいはエポキシ系のいずれかの材料から  
なることを特徴としている。

【0052】上記の発明によれば、ソルダレジストは、  
ゴム系、ポリイミド系、ウレタン系、シリコン系、あ

るいはエポキシ系のいずれかの材料からなる柔軟性の高い絶縁保護膜として機能する。

【0053】請求項9に係る発明の液晶パネル表示装置は、上記課題を解決するために、請求項5ないし8のいずれかに記載の液晶パネル表示装置において、上記液晶パネルが10インチ以上であることを特徴としている。

【0054】上記の発明によれば、液晶パネル表示装置に使用される液晶パネルは10インチ以上の大型であるが、テープキャリアパッケージ半導体装置は、絶縁保護膜が高い柔軟性を有すると共に製造歩留りが高い。

【0055】従って、テープキャリアパッケージ半導体装置を液晶パネルに実装しても金属配線パターンの断線が起りにくく、10インチ以上の大型の液晶パネル表示装置を歩留り良く製造することができる。

【0056】

【発明の実施の形態】

【実施の形態1】本発明のテープキャリアパッケージ半導体装置の実施の一形態について図1ないし図4に基づいて説明すれば、以下の通りである。

【0057】本実施の形態のTCP半導体装置（テープキャリアパッケージ半導体装置）を製造するにあたり、まず、図4（a）に示すような試験用パターンであるTEG1を作製して断線試験を行うことにより、TCP半導体装置の最適な構造を調べた。

【0058】TEG1は、ポリイミド基材2、スリット3、銅配線パターン4、電極パッド5・5、及びソルダレジスト6から構成される。また、スリット3の裏側には同図（c）に示すように、ソルダレジスト7が塗布されている。

【0059】上記TEG1の主要部の寸法は図4（a）に示すとおりであるが、これに限るものではなく、TCP半導体装置の寸法に応じて適宜変更される。但し、TEG1を形成するにあたり、銅配線パターン4に使用される銅箔の種類・厚み、ポリイミド基材2と銅箔とを接着する接着剤の種類・厚み、ソルダレジスト6の種類・厚み、スリット3の寸法等は、実際に使用されるTCP半導体装置に等しくした。特に、銅箔には電解銅箔を使用し、厚みは1/2オンス、配線パターン幅は35μm、配線パターンピッチは70μmである。また、接着剤には東レ（株）の#7100（商品名）を使用した。

【0060】電極パッド5・5は、銅配線パターン4が断線すると、これをすぐに確認できるようにするために設けてある。断線不良を確認するには、断線試験の後に

オープンチェッカを電極パッド5・5に接触させるだけでよい。

【0061】なお、工程を簡略化する目的で、TEG1へのドライバICチップのアセンブリを省略してある。

【0062】次に、図4（b）（c）に示すように上記の構成のTEG1…を液晶パネル11とPWB基板12とに3個接合して折り曲げる。接合工程は以下のようになる。

【0063】まず、液晶パネル11にACF13を仮圧着する。この仮圧着では、90℃に加熱したツールを10kgf/cm<sup>2</sup>の荷重をかけて2秒間、ACF13に押し当てる。その後、ACF13に付着しているスペーサを剥がし、TEG1…をアライメントして仮圧着する。この仮圧着は、前述の仮圧着と同様の条件で行う。次いで、200℃に加熱したツールを35kgf/cm<sup>2</sup>の荷重をかけて20秒間TEG1…に押し当て、TEG1…と液晶パネル11とを本圧着する。

【0064】液晶パネル11は13.8インチで厚みが1.1mmのガラスを使用して作製されている。また、圧着装置は全て市販されているものである。

【0065】次に、PWB基板12にACF13を接合する。このとき、液晶パネル11と同様の条件でACF13を仮圧着し、その後、ACF13のスペーサを剥がしてTEG1…とPWB基板12とをアライメントし、全てのTEG1…を一括して本圧着する。PWB基板12の厚みは0.5mmである。

【0066】TEG1…を液晶パネル11とPWB基板12とに接合した後、液晶パネル11とPWB基板12とが所定の間隔で対向するようにTEG1…を湾曲させ、断線試験用のサンプルを数個作製する。このサンプルを側面から見た図が図4（c）である。

【0067】上記のように湾曲させた状態で、温度サイクル槽に入れて銅配線パターン4の断線試験を行う。温度サイクル槽を、85℃と-30℃との2通りの温度を30分ずつ繰り返すように設定し、1時間で1サイクル（周期）とカウントする。スリット3の表面及び銅配線パターン4上（以後、領域pと称する）と、スリット3の裏側（以後、領域qと称する）とに様々なソルダレジストを形成したサンプルを作製してこの断線試験方法を適用し、それぞれのサンプルにおいて断線が発生するサイクル数を求めた。その結果の一例を表1に示す。

【0068】

【表1】

サンプル種類	領域pのソルダレジストのヤング率 (kgf/mm <sup>2</sup> )	領域qのソルダレジストのヤング率 (kgf/mm <sup>2</sup> )	断線に至る温度サイクル数									
			10	20	30	50	250	300	400	500	600	700
サンプル1	200	50	0/5	1/5	4/4							
サンプル2	380, 50	50	0/5	0/5	—	0/5	1/5	0/4	2/4	0/2	1/2	1/1
サンプル3	15	15	0/5	0/5	—	0/5	0/5	0/5	0/5	0/5	0/4	0/5
サンプル4	15	38	0/5	0/5	—	0/5	0/5	0/5	0/5	0/5	0/4	0/5
サンプル5	38	38	0/5	0/5	0/5	0/5	0/5	0/5	0/5	0/5	0/5	1/5
サンプル6	42	42	0/5	0/5	0/5	0/5	0/5	0/5	0/5	1/5	0/4	1/4
サンプル7	200	50	0/5	0/5	—	0/5	0/5	0/5	0/5	3/5	2/2	

【0069】試験を行ったサンプルは、領域pにヤング率が200 kgf/mm<sup>2</sup>のエポキシ系ソルダレジストを形成し、領域qにヤング率が50 kgf/mm<sup>2</sup>のポリミド系ソルダレジストを形成したTEG（サンプル1）、領域pにヤング率が50 kgf/mm<sup>2</sup>のポリミド系ソルダレジストを挟むようにヤング率が380 kgf/mm<sup>2</sup>のエポキシ系ソルダレジストを形成し、領域qにヤング率が50 kgf/mm<sup>2</sup>のポリミド系ソルダレジストを形成したTEG（サンプル2）、領域p・q共にヤング率が15 kgf/mm<sup>2</sup>のポリミド系ソルダレジストを形成したTEG（サンプル3）、領域pにヤング率が15 kgf/mm<sup>2</sup>のポリミド系ソルダレジストを形成し、領域qにヤング率が38 kgf/mm<sup>2</sup>のウレタン系ソルダレジストを形成したTEG（サンプル4）、領域p・q共にヤング率が38 kgf/mm<sup>2</sup>のウレタン系ソルダレジストを形成したTEG（サンプル5）、領域p・q共にヤング率が42 kgf/mm<sup>2</sup>のシリコン系ソルダレジストを形成したTEG（サンプル6）、及び領域pにヤング率が200 kgf/mm<sup>2</sup>のエポキシ系ソルダレジストを形成し、領域qにヤング率が50 kgf/mm<sup>2</sup>のポリミド系ソルダレジストを形成したTCP半導体装置（サンプル7）である。

【0070】なお、サンプル7は、サンプル1ないし6のTEGと異なり、実際に液晶パネル表示装置に使用されるTCP半導体装置である。また、ソルダレジストの厚みは全て25 μmに統一してある。

【0071】表1において、断線に至る温度サイクル数の欄中に示されている分数は、分母が試験を行ったサンプル数を、分子がそのうち断線が発生したサンプル数を表す。まず、全ての断線箇所は、実デバイスであるTCP半導体装置の場合と一致した。また、サンプル1が20サイクルで断線が発生するのに対して、サンプル7が500サイクルで断線が発生することから、断線試験方法の加速係数は25倍であることが分かる。従って、この断線試験方法によれば、実デバイスの断線モードを短時間で再現することができる。

【0072】一方、実用的な耐断線性として、TEGが200サイクル以内で断線しないことが必要であるが、

表1よりサンプル3ないし6がこの条件を満たしていることが分かる。さらに、領域p・qに共にヤング率の小さいソルダレジストを使用する方が断線しにくい結果となっている。

【0073】例えば、サンプル1は20サイクル、サンプル2は250サイクルで断線するが、サンプル3・サンプル4は700サイクルでも断線しない。さらに、サンプル2では、試験中にブリードが発生し、パターニング精度が悪化することが判明した。従って、前述の耐断線性を確保しながらブリードが発生しないようなソルダレジストを使用する必要がある。

【0074】そこで、このようなソルダレジストの条件を求めるため、チクソ性を決定するSiO<sub>2</sub>等の無機フィラー量を変えたサンプルを作製して、断線試験を行った。この結果、フィラー量を5 wt %以下とすると200 μm以上のブリードが発生するが、フィラー量を5 wt %より多くするとブリードを100 μm以下に抑制できることが分かった。

【0075】また、フィラー量が10 wt %～40 wt %のソルダレジストを使用すれば、200サイクル以上でも断線せず、ブリードの発生を阻止できることが分かった。このときのソルダレジストのヤング率は5 kgf/mm<sup>2</sup>～70 kgf/mm<sup>2</sup>であった。なお、ヤング率を5 kgf/mm<sup>2</sup>～70 kgf/mm<sup>2</sup>の範囲に設定するには、ソルダレジスト内の重合成分からなる主材料のヤング率を1 kgf/mm<sup>2</sup>以下にするのが効果的である。

【0076】以上の断線試験結果より、ヤング率が5 kgf/mm<sup>2</sup>～70 kgf/mm<sup>2</sup>の範囲内にあり、フィラー量が10 wt %～40 wt %の範囲内にあるソルダレジストを領域p・qに形成すれば、実装しても断線が発生しない実用的なTCP半導体装置を製造できるという効果のあることが分かった。

【0077】また、ヤング率とフィラー量を上記範囲内に設定すれば、ゴム系・ポリミド系・エポキシ系・シリコン系・ウレタン系ソルダレジストのうちいずれかを領域p・qにそれぞれ1種類だけ使用することで上記の効果が得られる。さらに、上述の断線試験においては形成する絶縁保護膜の厚みを25 μmとしたが、これに

限らず、 $5\mu\text{m}\sim 45\mu\text{m}$ の範囲内であれば同等の効果を得られることも分かった。

【0078】次に、上述の断線試験結果に基づいて製造したTCP半導体装置について、図2及び図3を用いて説明する。

【0079】図1(a)に、テープキャリアパッケージ半導体装置としてのフレックスTCP半導体装置21の平面構造、同図(b)にそのC-C'線断面図をそれぞれ示す。

【0080】フレックスTCP半導体装置21は、絶縁テープとしてのポリイミド基材22を用いて作製したテープキャリア23に半導体素子としてのドライバICチップ24を電気的に接合した構成である。

【0081】テープキャリア23は、スルーホールとしてのスリット25・25と、インナーリード26…、入力側アウターリード27…、出力側アウターリード28…、及びテストパッド29からなる金属配線パターンとしての銅配線パターンと、スリット25・25及び上記銅配線パターンを絶縁被覆する絶縁保護膜としてのソルダレジスト30及びソルダレジスト31・31と、ポリイミド基材22の送り出し・位置合わせに用いられるスプロケットホール32…とから構成される。

【0082】また、ドライバICチップ24は、Auパンプ33…を介してインナーリード26…と電気的に接続されると共に、この接続部周辺が樹脂34によって封止されている。

【0083】以下に図2を用いて、上記の構造のフレックスTCP半導体装置21におけるテープキャリア23の作製プロセスを説明する。

【0084】まず、ポリイミド基材22（ユービレックス；宇部興産の商標）の表面に接着剤を塗布し（工程1）、デバイスホール、スリット25・25、スプロケットホール32…を形成すべくポリイミド基材22を金型で打ち抜く（工程2）。

【0085】次に、 $18\mu\text{m}$ 、 $25\mu\text{m}$ 、 $35\mu\text{m}$ 厚の銅箔のうち、いずれかをポリイミド基材22にラミネートする（工程3）。スリット25・25には、まず、後に銅配線パターンが形成される面に対して反対側から $25\mu\text{m}$ 厚のソルダレジスト31・31を形成し、 $150^\circ\text{C}$ で60分キュアする（工程4）。

【0086】このソルダレジスト31・31には、ヤング率が $5\text{kgf}/\text{mm}^2\sim 70\text{kgf}/\text{mm}^2$ の範囲内にあり、フィラー量が $10\text{wt}\%\sim 40\text{wt}\%$ の範囲内にあるゴム系・ポリイミド系・エポキシ系・シリコーン系・ウレタン系ソルダレジストのうちいずれを使用してよい。例えば、硬化してもヤング率が $1\text{kgf}/\text{mm}^2$ 以下となるような主剤を選定し、この主剤にフィラー量を $38\text{wt}\%$ 混入させたポリイミド系ソルダレジストを使用することができる。この場合、硬化後のヤング率は $16\text{kgf}/\text{mm}^2$ となる。鉛筆硬度ではBに相当す

る。

【0087】そして、エッチングマスクとしてのフォトレジストを銅箔表面に塗布し（工程5）、露光によって目的のパターンを焼き付け（工程6）て現像する（工程7）。デバイスホールにもエッチングマスクとしてのフォトレジストを形成し（工程8）た後、銅箔エッチング液に浸漬して所望の銅配線パターンを形成する（工程9）。このようにして銅配線パターンを形成した後、全てのフォトレジストを有機溶剤あるいはドライエッチングによって剥離する（工程10）。

【0088】次に、ポリイミド基材22の銅配線パターンを形成した面上において、折り曲げ部であるスリット25・25を覆うように、工程4で形成したソルダレジスト31・31と同一のソルダレジスト30を印刷し、2時間程度キュアを行う（工程11）。

【0089】次いで、露出している銅箔表面に、無電解メッキ法により $0.2\mu\text{m}\sim 0.6\mu\text{m}$ 厚のスズメッキを形成し、スズメッキ後はホイスカが発生しないようにキュアを施す（工程12）。

【0090】次に、以上の工程により作製されたテープキャリア23のインナーリード26…にドライバICチップ24をAuパンプ33…を介して接合する（工程13）。そして、この接合部の周辺を樹脂34で封止し（工程14）、フレックスTCP半導体装置21が完成する。

【0091】以上のように、工程4・工程11においては、それぞれにヤング率が $5\text{kgf}/\text{mm}^2\sim 70\text{kgf}/\text{mm}^2$ の範囲にあり、フィラー量が $10\text{wt}\%\sim 40\text{wt}\%$ の範囲にある同一のソルダレジストを使用するため、銅配線パターンが断線しにくくなると共に、図3に示すようにブリードの発生やソルダレジストの剥がれがなくパターンニング精度を $\pm 0.2\text{mm}$ に向上させることができる。従って、キャリアテープ23の作製歩留りを約2%向上させることができる。

【0092】また、フレックスTCP半導体装置21の反りを1mm以下に抑制して後のアセンブリ工程でフレックスTCP半導体装置21を順調に搬送することができる。さらに、工程4・工程11においてソルダレジストを形成する装置を同一のものとすることができるため、フレックスTCP半導体装置21の製造コストを削減することができる。

【0093】なお、工程4・工程11においては同一のソルダレジストを形成したが、これに限るものではなく、ヤング率が $5\text{kgf}/\text{mm}^2\sim 70\text{kgf}/\text{mm}^2$ の範囲にあり、フィラー量が $10\text{wt}\%\sim 40\text{wt}\%$ の範囲にあるソルダレジストをそれぞれの工程において使用すれば、両工程におけるソルダレジストの種類は異なってもよい。

【0094】〔実施の形態2〕本発明の液晶パネル表示装置の実施の一形態について図5を用いて説明すれば、



以下の通りである。なお、説明の便宜上、前記の実施の形態1の図面に示した構成要素と同一の機能を有する構成要素については、同一の符号を付し、その説明を省略する。

【0095】図5に示すように、本実施の形態における液晶パネル表示装置51は、実施の形態1で述べたフレックスTCP半導体装置21…、液晶パネル52、PWB基板53、バックライト54、及びベゼル55から構成される。

【0096】なお、フレックスTCP半導体装置21のドライバICチップ24は、この場合、駆動用半導体素子として機能する。

【0097】以下に液晶パネル表示装置51の製造手順について説明する。

【0098】まず、液晶パネル52に、ACFを仮圧着する。ACFは、1.2mmから3mm程度までの種類の幅があり、液晶パネル52の額縁のサイズに合わせて適宜選択される。従って、例えば、額縁の幅が狭ければ、ACFも幅の狭いものを選択する。ACFを仮圧着するには、ACFを液晶パネル52に貼り付けたまま、90℃に加熱したツールを2秒程度押し当てる。このとき、ACFは熱によって反応して硬化するが、後に本圧着することができるようにするため、完全には硬化させない。

【0099】ACFの仮圧着が終了した時点で、ACFに付着していたスペーサを剥がし、そこにフレックスTCP半導体装置21…の出力側アウターリード28…を仮圧着する。このとき、フレックスTCP半導体装置21…と液晶パネル52とを、それぞれに形成されたアライメントマークを用いて位置合わせする。フレックスTCP半導体装置21…は、この仮圧着前に、リール状につながった状態にあるため、金型で打ち抜いて個片にしておく。そして、仮圧着時には、100℃に加熱したツールを10kgf/cm<sup>2</sup>の荷重で3秒押し当てるが、ACFを完全には硬化させない。

【0100】フレックスTCP半導体装置21…の仮圧着が終了すると次に本圧着を行う。本圧着は、全てのフレックスTCP半導体装置21…を一括して、200℃に加熱したツールを35kgf/cm<sup>2</sup>の荷重で20秒押し当てて実施する。

【0101】液晶パネル52にフレックスTCP半導体装置21…を実装すると、今度はフレックスTCP半導体装置21…の入力側アウターリード27をPWB基板53に実装する。PWB基板53への実装方法として、ハンダ付けによる方法とACFによる方法とがある。ACFによる実装方法では、PWB基板53をアライメントし、全てのフレックスTCP半導体装置21…を一括して実装する。

【0102】その後、液晶パネル52の裏側に光源となるバックライト54を実装し、フレックスTCP半導体

装置21…、液晶パネル52、PWB基板53、及びバックライト54からなるユニット全体をベゼル55で覆う。

【0103】以上のようにして液晶パネル表示装置51が製造される。この液晶パネル表示装置51には、前述したように、耐断線性が高く、製造歩留りの良いフレックスTCP半導体装置21を使用している。従って、10インチ以上の大型液晶パネル表示装置を歩留り良く、低コストで製造することができる。

【0104】

【発明の効果】請求項1に係る発明のテープキャリアパッケージ半導体装置は、以上のように、絶縁テープに設けられた金属配線パターンと上記金属配線パターンと共に上記絶縁テープが湾曲可能となるように上記絶縁テープに設けられたスルーホールを表裏両側とを絶縁被覆する絶縁保護膜を有するテープキャリアと、上記テープキャリアに半導体素子が実装されてなるテープキャリアパッケージ半導体装置において、上記スルーホールの表裏両側を絶縁被覆するそれぞれの上記絶縁保護膜は、ヤング率が5kgf/mm<sup>2</sup>～70kgf/mm<sup>2</sup>の範囲にあるソルダレジストである構成である。

【0105】それゆえ、テープキャリアパッケージ半導体装置を大型の液晶パネルに実装する際、テープキャリアパッケージ半導体装置に大きな応力が加わっても金属配線パターンは断線しない。さらに、テープキャリアパッケージ半導体装置の反りを抑制し、テープキャリアパッケージ半導体装置の製造歩留りを向上させることができる。

【0106】この結果、信頼性の高いテープキャリアパッケージ半導体装置を低コストで提供することができるという効果を奏する。

【0107】請求項2に係る発明のテープキャリアパッケージ半導体装置は、以上のように、請求項1に記載のテープキャリアパッケージ半導体装置において、上記ソルダレジストは、上記スルーホールの表裏両側において同一の材料からなる構成である。

【0108】それゆえ、スルーホールの表裏両側にソルダレジストを形成する際、専用の装置が1台で済むと共に、ソルダレジストの管理が容易になるという効果を奏する。

【0109】請求項3に係る発明のテープキャリアパッケージ半導体装置は、以上のように、請求項1または2に記載のテープキャリアパッケージ半導体装置において、上記ソルダレジストは、その粘度を決定するフィラーを10wt%～40wt%の範囲で含有する構成である。

【0110】それゆえ、ソルダレジストを印刷するときにブリードの発生が阻止されてパターンニング精度が向上すると共に、テープキャリア作製時にソルダレジストの剥がれが起こらずテープキャリア作製歩留りが向上する

という効果を奏する。

【0111】請求項4に係る発明のテープキャリアパッケージ半導体装置は、以上のように、請求項1ないし3のいずれかに記載のテープキャリアパッケージ半導体装置において、上記ソルダレジストは、ゴム系、ポリイミド系、ウレタン系、シリコン系、あるいはエポキシ系のいずれかの材料からなる構成である。

【0112】それゆえ、ソルダレジストは、柔軟性の高い絶縁保護膜として機能するという効果を奏する。

【0113】請求項5に係る発明の液晶パネル表示装置は、以上のように、絶縁テープに設けられた金属配線パターンと上記金属配線パターンが湾曲可能となるように上記絶縁テープに設けられたスルーホールを表裏両側とを絶縁被覆する絶縁保護膜を有するテープキャリアと、液晶パネルを駆動するように上記テープキャリアに実装される駆動用半導体素子とを有するテープキャリアパッケージ半導体装置及び上記液晶パネルを備える液晶パネル表示装置において、上記スルーホールの表裏両側を絶縁被覆するそれぞれの上記絶縁保護膜は、ヤング率が $5\text{ kg f/mm}^2 \sim 70\text{ kg f/mm}^2$ の範囲にあるソルダレジストである構成である。

【0114】それゆえ、テープキャリアパッケージ半導体装置を液晶パネルに実装しても金属配線パターンは断線しない。さらに、テープキャリアパッケージ半導体装置の反りを抑制し、液晶パネル表示装置の製造歩留りを向上させることができる。

【0115】この結果、信頼性の高い液晶パネル表示装置を低コストで提供することができるという効果を奏する。

【0116】請求項6に係る発明の液晶パネル表示装置は、以上のように、請求項5に記載の液晶パネル表示装置において、上記ソルダレジストは、上記スルーホールの表裏両側において同一の材料からなる構成である。

【0117】それゆえ、スルーホールの表裏両側にソルダレジストを形成する際、専用の装置が1台で済むと共に、ソルダレジストの管理が容易になる。

【0118】従って、液晶パネル表示装置を低コストで製造することができるという効果を奏する。

【0119】請求項7に係る発明の液晶パネル表示装置は、以上のように、請求項5または6に記載の液晶パネル表示装置において、上記ソルダレジストは、その粘度を決定するフィラーを $10\text{ wt}\% \sim 40\text{ wt}\%$ の範囲で含有する構成である。

【0120】それゆえ、ソルダレジストを印刷するときにブリードの発生が阻止されてパターンニング精度が向上すると共に、テープキャリア作製時にソルダレジストの剥がれが起らず液晶パネル表示装置の製造歩留りが向上するという効果を奏する。

【0121】請求項8に係る発明の液晶パネル表示装置は、以上のように、請求項5ないし7のいずれかに記載

の液晶パネル表示装置において、上記ソルダレジストは、ゴム系、ポリイミド系、ウレタン系、シリコン系、あるいはエポキシ系のいずれかの材料からなる構成である。

【0122】それゆえ、ソルダレジストは、柔軟性の高い絶縁保護膜として機能するという効果を奏する。

【0123】請求項9に係る発明の液晶パネル表示装置は、以上のように、請求項5ないし8のいずれかに記載の液晶パネル表示装置において、上記液晶パネルが10インチ以上である構成である。

【0124】それゆえ、テープキャリアパッケージ半導体装置を液晶パネルに実装しても金属配線パターンの断線が起りにくく、10インチ以上の大型の液晶パネル表示装置を歩留り良く製造することができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の実施の一形態におけるテープキャリアパッケージ半導体装置の構造を示し、(a)は平面図、(b)は(a)のC-C'線断面図である。

【図2】図1のテープキャリアパッケージ半導体装置を製造する工程を説明するフロー図である。

【図3】図1のテープキャリアパッケージ半導体装置においてブリードが発生しないことを説明する説明図である。

【図4】(a)、(b)及び(c)は、図1のテープキャリアパッケージ半導体装置の断線試験方法を説明する説明図である。

【図5】図1のテープキャリアパッケージ半導体装置を用いた液晶パネル表示装置の構造を示す構造図である。

【図6】従来のテープキャリアパッケージ半導体装置の構造を示し、(a)は平面図、(b)は(a)のA-A'線断面図である。

【図7】図6のテープキャリアパッケージ半導体装置のテープキャリアを作製する工程を説明するフロー図である。

【図8】従来の他のテープキャリアパッケージ半導体装置の構造を示し、(a)は平面図、(b)は(a)のB-B'線断面図である。

【図9】図8のテープキャリアパッケージ半導体装置のテープキャリアを作製する工程を説明するフロー図である。

【図10】図6のテープキャリアパッケージ半導体装置の実装時の状態を説明する説明図である。

【図11】図7のテープキャリアパッケージ半導体装置の実装時における断線発生箇所を説明する説明図である。

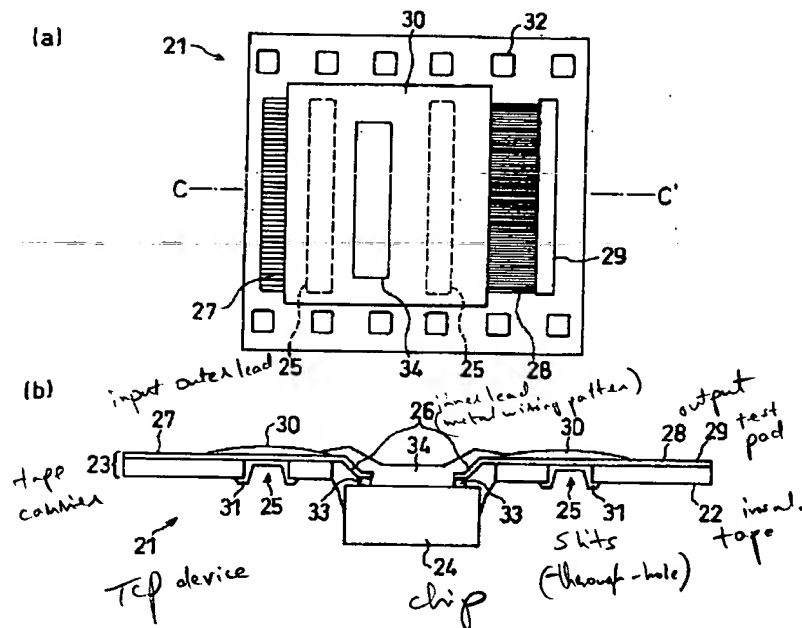
【図12】従来のテープキャリアパッケージ半導体装置においてブリードが発生することを説明する説明図である。

【符号の説明】

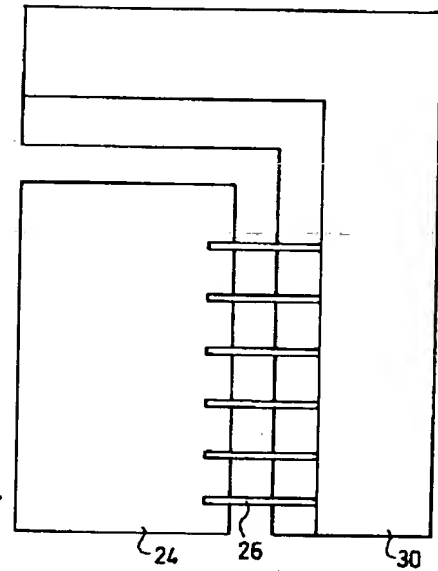
- 21 フレックスTCP半導体装置 (テープキャリアパッケージ半導体装置)  
 22 ポリイミド基材 (絶縁テープ)  
 23 テープキャリア  
 24 ドライバICチップ (半導体素子、駆動用半導体素子)  
 25 スリット (スルーホール)  
 26 インナーリード (金属配線パターン)

- 27 入力側アウターリード (金属配線パターン)  
 28 出力側アウターリード (金属配線パターン)  
 29 テストパッド (金属配線パターン)  
 51 液晶パネル表示装置  
 52 液晶パネル

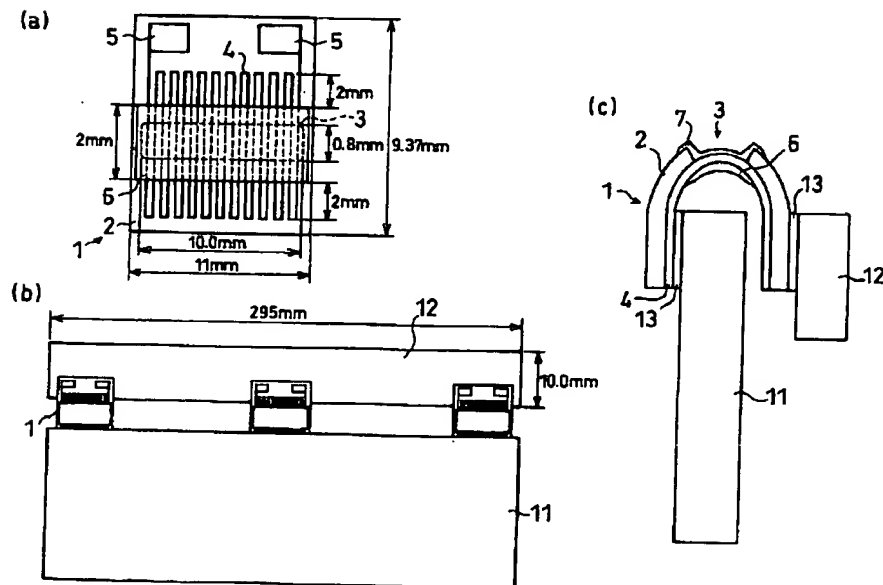
【図1】



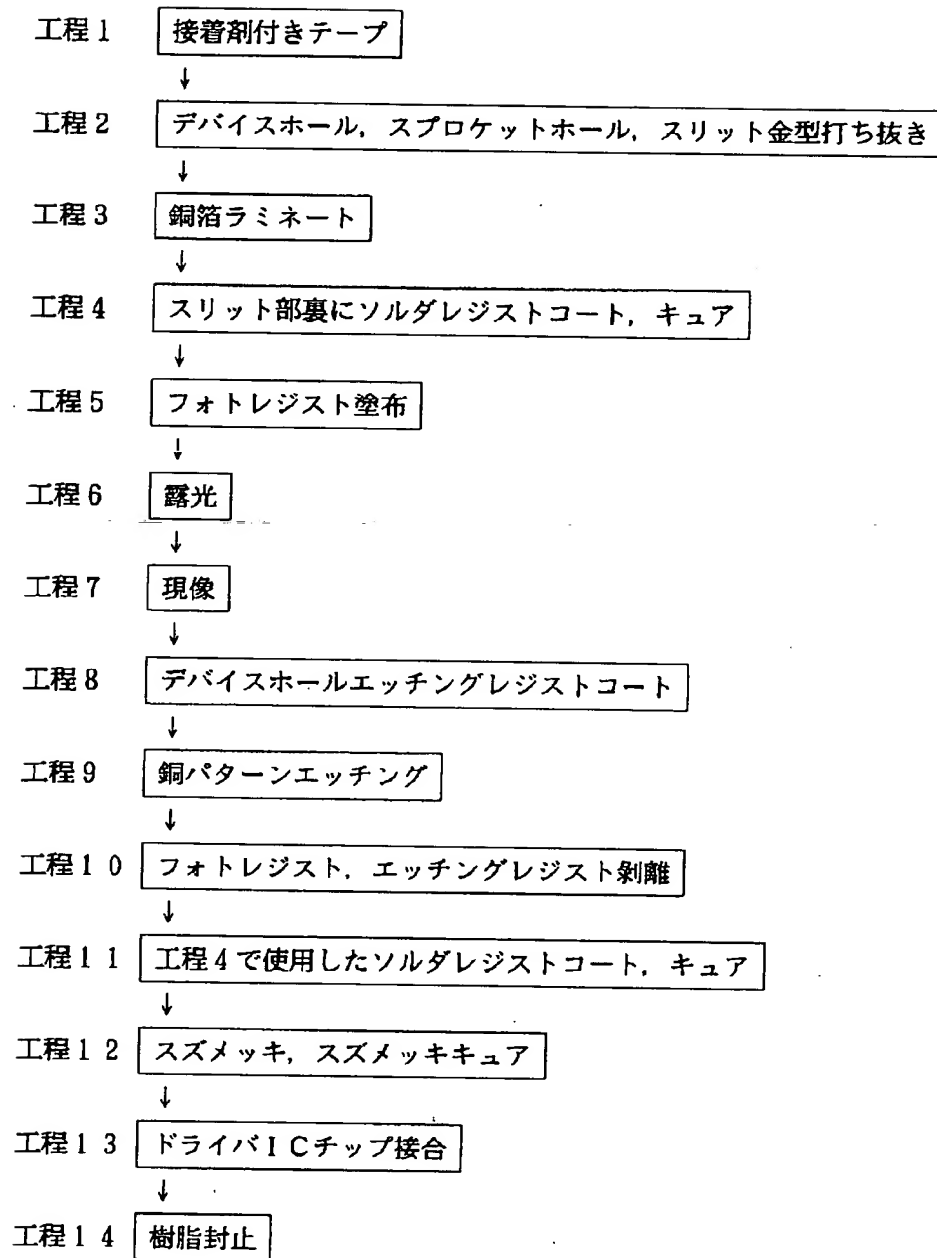
【図3】



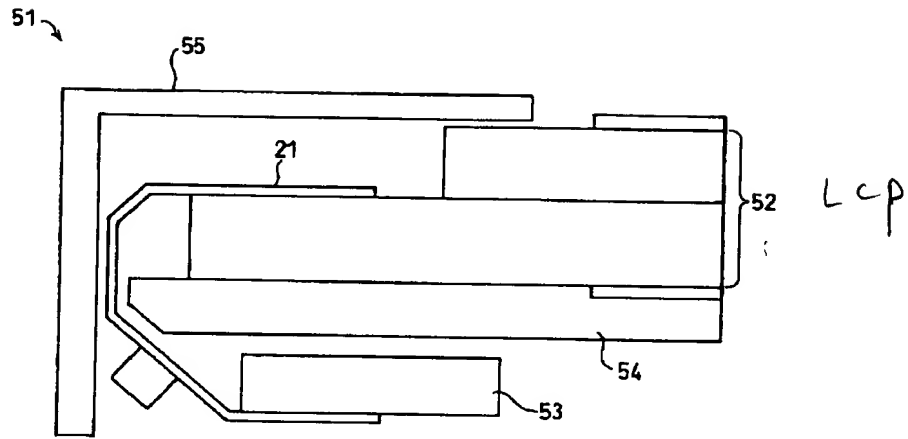
【図4】



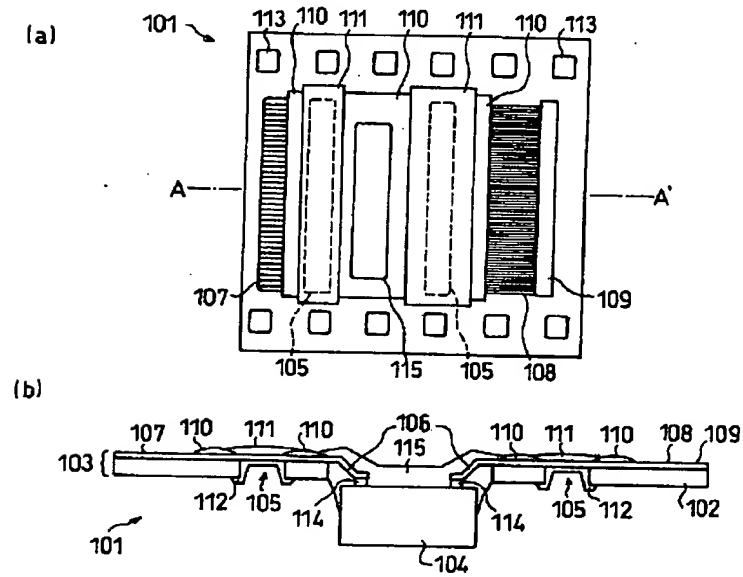
【図2】



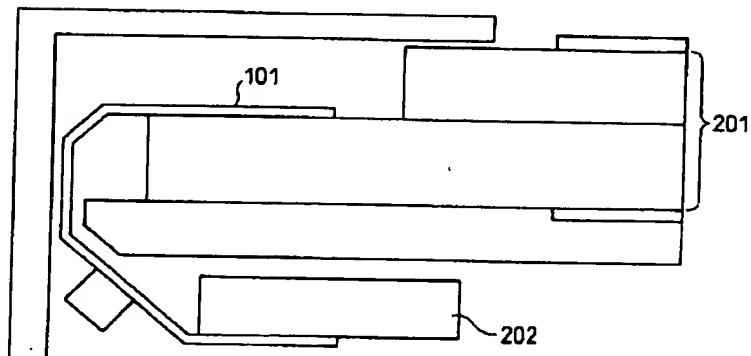
【図5】



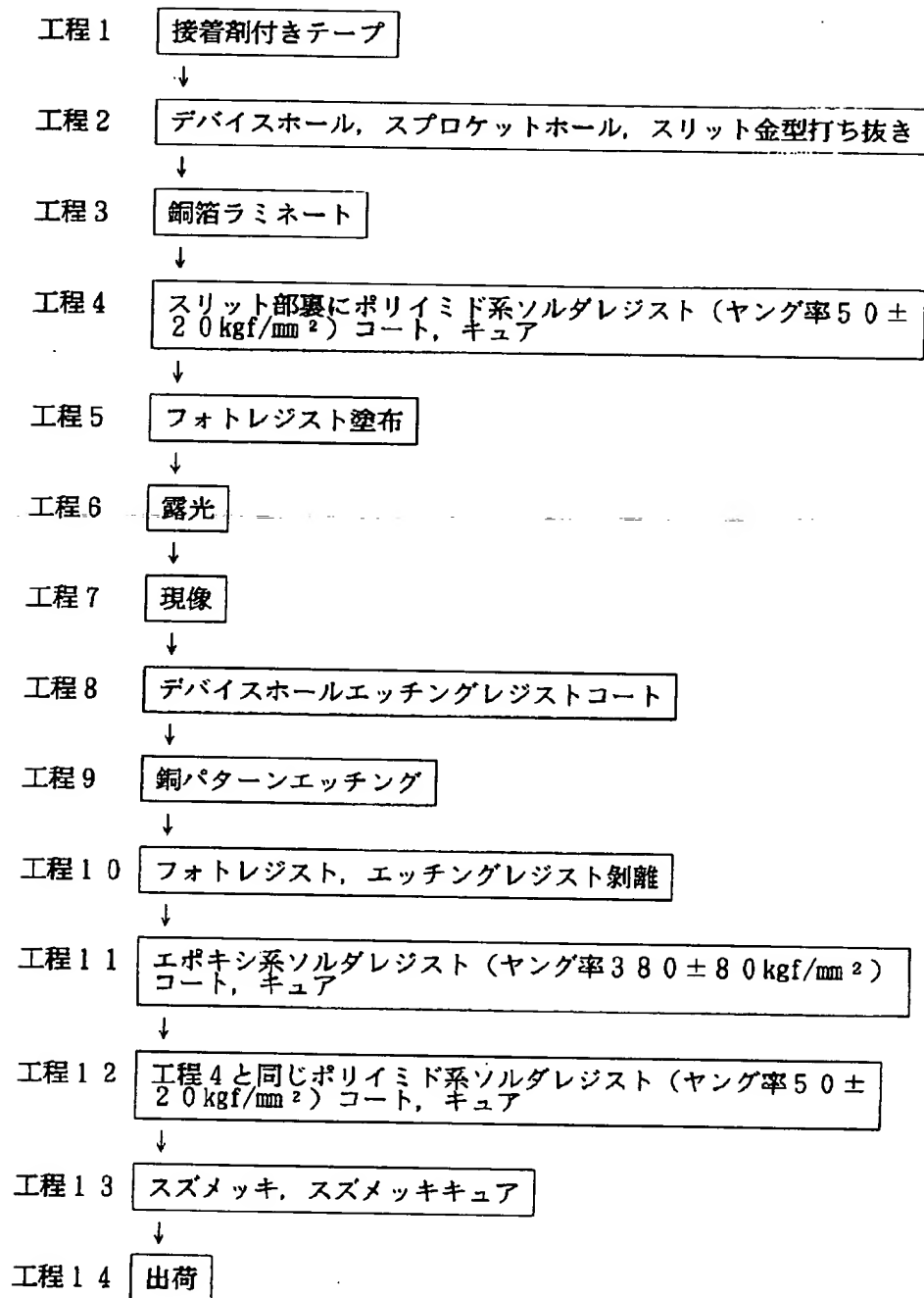
【図6】



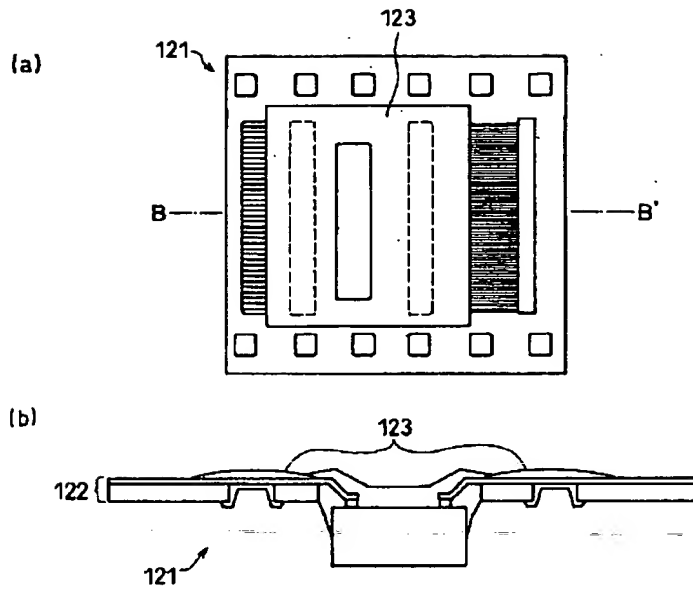
【図10】



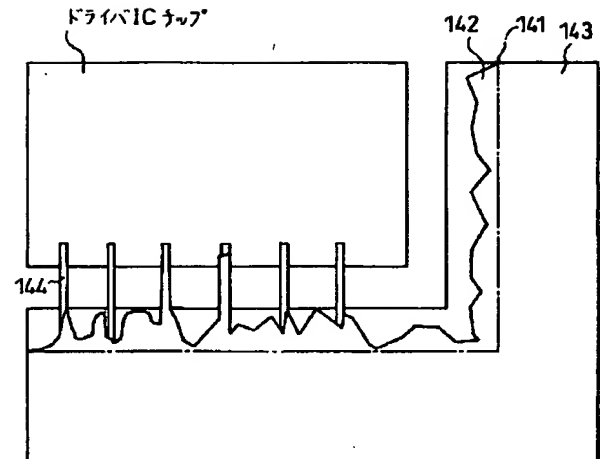
【図7】



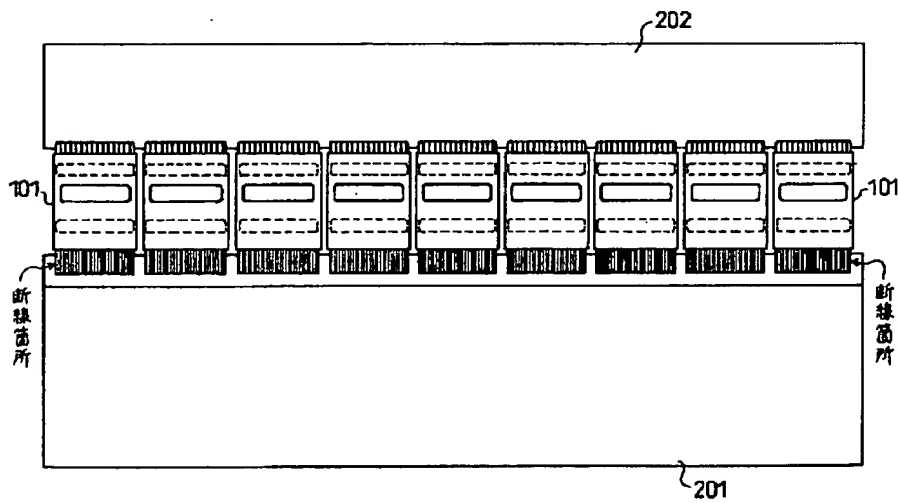
【図8】



【図12】



【図11】



【図9】

